



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11112486 A**(43) Date of publication of application: **23 . 04 . 99**

(51) Int. Cl.

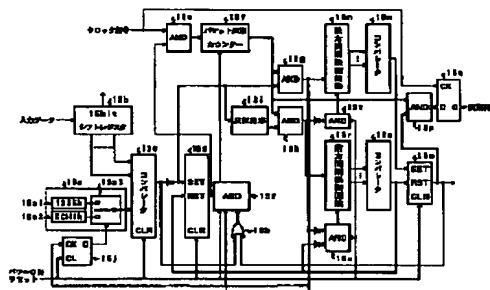
H04L 7/04
H04L 12/56
(21) Application number: **09271132**(22) Date of filing: **03 . 10 . 97**(71) Applicant: **TOSHIBA CORP**
(72) Inventor: **UCHIDA SUKEYUKI**
AOKI TOSHIAKI
NAKAO AKIRA
(54) **SYNCHRONIZATION RECOVERY SYSTEM**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a synchronization recovery system in which a probability of causing false synchronization is reduced with respect to serial data arranged by adding respective synchronizing signals to plural packets.

SOLUTION: A transmitter side adds a specific synchronization pattern to the head of each packet of serial data while inverting the pattern in each packet. A synchronization pattern comparison means 15c in a synchronization recovery device 15 is at a receiver side compares the synchronization pattern of the serial data with the synchronization pattern stored in advance in a synchronization pattern storage means 15a and allows a pulse signal generating means 15f to generate a pulse signal equivalent to a period up to a time corresponding to a packet length from a coincident timing when they are coincident. The pulse signal is compared with a coincident signal from the synchronization pattern comparison means 15c, and when they are coincident, coincident information is outputted as a synchronizing signal and the synchronization pattern read from the synchronization pattern storage means 15a is inverted.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112486

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶H 0 4 L 7/04
12/56

識別記号

F I

H 0 4 L 7/04
11/20

A

1 0 2 A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願平9-271132

(22) 出願日 平成9年(1997)10月3日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 内田 資之

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内

(72) 発明者 青木 鋭明

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内

(72) 発明者 中尾 彰

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝小向工場内

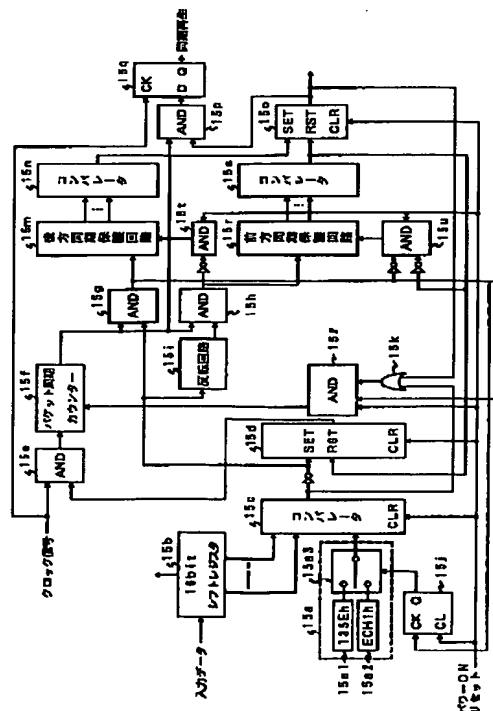
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 同期再生システム

(57) 【要約】

【課題】複数のパケットにそれぞれ同期信号を付加して配列したシリアルデータに対し、偽同期を起す確率を低減し得る同期再生システムを提供する。

【解決手段】送信側では、シリアルデータに対し、パケット先頭に特定の同期パターン値を、パケット毎に反転させて付加するようにし、受信側の同期再生装置15では、シリアルデータと、予め同期パターン値格納手段15aにて格納された同期パターン値とが同期パターン値比較手段15cにて比較され、一致した場合にこの一致タイミングからパケット長に相当する時間までの周期に相当するパルス信号をパルス信号発生手段15fにて発生させ、このパルス信号と同期パターン値比較手段15cからの一致信号との比較がなされ、一致した場合に、この一致情報を同期信号として出力するとともに、同期パターン値格納手段15aから読み出された同期パターン値を反転値に切り替える。



【特許請求の範囲】

【請求項 1】 送信側にて複数のパケットにそれぞれ同期信号を付加して配列したシリアルデータを送信し、受信側にて前記シリアルデータの受信時に、同期再生装置によりパケット単位で同期信号を検出してデータ再生を行なう同期再生システムであって、送信側では、前記シリアルデータに対し、パケット先頭に特定の同期パターン値を、パケット毎に反転させて付加するようにしたことを特徴とする同期再生システム。

【請求項 2】 前記同期再生装置には、予め前記シリアルデータのパケット先頭に付加された同期パターン値とその反転値とを格納しておく同期パターン値格納手段と、前記シリアルデータのパケット先頭に付加された同期パターン値と、前記同期パターン値格納手段から読み出された同期パターン値とが一致するかどうかを検出し、一致した場合に一致信号として出力する同期パターン値比較手段と、同期パターン値比較手段から出力される一致信号のタイミングで、前記パケット長に相当する時間までの周期を有するパルス信号を発生するパルス信号発生手段と、前記同期パターン値比較手段から出力された一致信号と、前記パルス信号発生手段から発生されるパルス信号とを比較し、一致した場合に、この一致情報を同期信号として出力するとともに、前記同期パターン値格納手段から読み出された前記同期パターン値を反転値に切り替え、不一致の場合に前記同期パターン値の読み出し状態を維持する制御処理手段とを備えるようにしたことを特徴とする請求項 1 記載の同期再生システム。

【請求項 3】 前記同期再生装置のパルス発生手段は、前記同期信号発生手段の出力に基づいて、前記パケット長分のビット数をカウントするパケットカウント手段を有し、前記制御処理手段は、前記パケットカウント手段のカウント結果と、前記同期パターン値比較手段の出力とが一致するかどうかを検出し、一致した場合にこの一致情報を出力し、不一致の場合にこの不一致情報を出力する同期判定手段と、この同期判定手段から出力される一致情報を入力することで、前記同期パターン値格納手段から読み出された同期パターン値を反転値に切り替える同期パターン値切替制御手段とを備えるようにしたことを特徴とする請求項 2 記載の同期再生システム。

【請求項 4】 さらに、前記同期判定手段から出力される一致情報に基づいて、前記パケットカウント手段の出力と前記同期パターン値比較手段の出力との一致回数をカウントし、このカウント結果が所定回数を超える場合に、同期再生処理を行なう同期保護手段を具備してなることを特徴とする請求項 3 記載の同期再生システム。

【請求項 5】 さらに、前記同期判定手段から出力される不一致情報に基づいて、前記パケットカウント手段の

出力と前記同期パターン値比較手段の出力との不一致回数をカウントし、このカウント結果が所定回数を超える場合に、同期はずれと判定して前記パケットカウント手段にリセットをかける非同期保護手段を具備してなることを特徴とする請求項 3 記載の同期再生システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、受信側にて複数のパケットを有するシリアルデータに対し、パケット先頭に付加されている同期パターンに基づいて同期再生を行なう同期再生システムに関する。

【0002】

【従来の技術】一般に、同期再生システムにあつては、受信側にてパケット化されたシリアルデータから同期信号を検出して再生させるとき、パケットの先頭 2 バイトに重畳させている同期パターンをパターン比較回路で検出後、次の同期パターンが存在する周期をカウンターで数えて、比較検出することによって同期パターン以外のデータとの偽同期を回避させるようにしている。

【0003】ところで、上記同期検出方法では、シリアルデータのパケット先頭以外で同期パターンと同じ値が存在する場合、偽同期を起してしまうことになる。そこで、この偽同期を抑える対策として、上記比較検出結果を後方同期保護回路に入力して一致する回数をカウントさせ、さらに前方同期保護回路に入力して不一致の回数をカウントさせることで、これらカウント結果に基づいて、同期確立か否か判断させるようにしている。ところが、この対策をとることにより、偽同期を起す確率がいくらか低減されるが、上記同期再生システムとしてはさらに偽同期を起す確率を低減できるものが要望されている。

【0004】

【発明が解決しようとする課題】以上のように、上記同期再生システムにおいては、偽同期を低減させる方法として、後方同期保護回路にてカウンターでカウントされたパケット長に相当するビット数と、同期信号との一致回数がカウントされ、このカウント結果が所定回数に達している場合に、同期確立であると判定し、前方同期保護回路にて不一致回数をカウントし、このカウント結果が所定回数に達している場合に、同期はずれであると判定することで、偽同期を起す確率が低減されるが、システムとしてはさらに偽同期を起す確率を低減するようなものが要望されている。

【0005】この発明の目的は、複数のパケットにそれぞれ同期信号を付加して配列したシリアルデータに対し、偽同期を起す確率を低減し、同期再生における信頼性を向上し得る同期再生システムを提供することにある。

【0006】

【課題を解決するための手段】この発明に係る同期再生

システムは、送信側にて複数のパケットにそれぞれ同期信号を付加して配列したシリアルデータを送信し、受信側にてシリアルデータの受信時に、同期再生装置によりパケット単位で同期信号を検出してデータ再生を行なう同期再生システムであって、送信側では、シリアルデータに対し、パケット先頭に特定の同期パターン値を、パケット毎に反転させて付加するようにしたことを特徴とする。

【0007】この構成によれば、送信側にて複数のパケットを配列したシリアルデータの packets 先頭に特定の同期パターン値を、パケット毎に反転させて付加するようにしておくようにし、受信側の同期再生装置にてシリアルデータの packets 先頭に付加されている同期パターン値とその反転値とを認識させ、シリアルデータ内の同期パターン値とその反転値とを単位パケット長に相当する時間のタイミングで検出させて、同期再生を行なうようにしている。

【0008】この結果、シリアルデータの packets 先頭以外で同期パターン値と同じ値が存在する場合にも、偽同期を起す確率を低減でき、かつ同期パターン値を packets 毎に反転しておくことで、前方同期保護回路及び後方同期保護回路における同期の検出確率が向上し、同期再生における信頼性を向上させることが可能となる。

【0009】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。図1は、この発明の一実施の形態が適用されるDVC(Digital Video Cassette Recorder)システムの受信部を示している。

【0010】図1において、伝送されるDVCシリアルデータ(DVCS)は、RECEIVER+RECLOCK部11に供給される。このRECEIVER+RECLOCK部11の出力は、NRZI(Noise Reduction Zero Inverter)12にて、雑音低減等のNRZI変換処理を施され、16B(Bit)1C(Complementary)削除部13にて、16ビット毎に付加された1ビットのコンプリメンタリーデータを削除する。そして、コンプリメンタリーデータを削除されたシリアルデータは、ディスクランブル部14にて復号化され、同期再生部15にて同期再生が行なわれる。この同期再生部15の出力は、S/P(Serial/Parallel)変換部16にてシリアルデータからパラレルバスデータへ変換され、伝送同期削除部17にて、2ワードの伝送同期ワードが削除され、誤り訂正部18にて誤り訂正が行なわれる。以後、DVCディパケット部19にて、誤り訂正部18の出力をディパケット化してDVC BUSへ出力する。

【0011】図2は、上記DVCシステムの送信部から伝送されるDVCシリアルデータの構成を示している。すなわち、DVCシリアルデータは、例えば184ワード毎にパケット化している。そして、このパケットの先頭2バイトには、特定の同期パターン値135Ehを付

加しており、次のパケットの先頭には反転させた同期パターン値ECA1hを付加している。なお、このDVCシリアルデータは、36Mbpsで伝送されることになる。

【0012】図3は、この発明の一実施の形態である上記同期再生部15の詳細なブロック構成を示している。すなわち、上記同期再生部15には、予めDVCシリアルデータである入力データの packets 先頭に付加された同期パターン値とその反転値とを格納しておく同期パターン値格納部15aが備えられている。この同期パターン値格納部15aには、同期パターン値135Ehを格納する格納手段15a1、同期パターン値ECA1hを格納する格納手段15a2、及び格納手段15a1、15a2を切り替えるスイッチ15a3が備えられている。

【0013】また、入力データは、16ビットシフトレジスタ15bに入力される。16ビットシフトレジスタ15bは、入力データを16ビット毎にコンパレータ15cに保持出力する。コンパレータ15cは、入力データと同期パターン値格納部15aから読み出された同期パターン値とを比較し、一致した場合のみ一致信号として出力する。

【0014】コンパレータ15cから出力された一致信号は、まずRS-FF(Flip Flop)回路15dに入力されることで、AND回路15eを介してパケット周期カウンタ15fを作動させる。パケット周期カウンタ15fは、単位パケット長分のビット数(1472ビット)をカウントし、このカウントされたパケット長周期に相当するパルス信号をAND回路15g、15hの一方の入力端に供給する。AND回路15gの他方の入力端には、コンパレータ15dから出力される一致信号が供給され、この一致信号とパケット周期カウンタ15fから出力されたパルス信号とを比較し、一致した場合のみこの一致情報を出力する。また、AND回路15hの他方の入力端には、コンパレータ15dから出力される同期信号を反転回路15iにて反転された信号が供給され、この信号とパケット周期カウンタ15fから出力されたパルス信号とを比較し、一致した場合に不一致情報を出力する。

【0015】そして、AND回路15gの出力である一致情報は、同期パターン値切替制御手段であるT-FF回路15jに供給される。このT-FF回路15jは、AND回路15gからの一致情報が入力されることで、同期パターン値格納部15aのスイッチ15a3を反転値15a2側に切り替える。

【0016】なお、コンパレータ15cの出力は、OR回路15k、AND回路15lを介してパケット周期カウンタ15fのクリア端子に入力されることで、パケット周期カウンタ15fをリセットさせる。

【0017】また、AND回路15gの出力は、後方同

期保護回路15mに供給される。後方同期保護回路15mは、AND回路15gの出力に基づいて、コンパレータ15cの出力とパケット周期カウンタ15fの出力との一致回数をカウントし、このカウント結果が4回以上になったときに、コンパレータ15nにて再生要求信号を出力する。そして、この再生要求信号がRS-FF回路15oのセット端子に入力されることで、AND回路15pを介してD-FF回路15qがセットされる。以後、D-FF回路15qは、AND回路15pにてパケット周期カウンタ15fの出力とRS-FF回路15oの出力とが一致した信号をクロック信号のタイミングで出力し、同期再生を行なう。

【0018】さらに、AND回路15hの出力は、前方同期保護回路15rに供給される。前方同期保護回路15rは、AND回路15hの出力に基づいて、コンパレータ15cの出力とパケット周期カウンタ15fの出力との不一致回数をカウントし、このカウント結果が4回以上になったときに、コンパレータ15sにて同期はずれを示す信号を出力し、パケット周期カウンタ15fにリセットをかける。

【0019】なお、後方同期保護回路15mは、AND回路15hの出力時に、AND回路15tにてリセットがかけられ、前方同期保護回路15rは、AND回路15gの出力時に、AND回路15uにてリセットがかけられる。

【0020】さらに、パワーONリセット時には、T-FF回路15jにて同期パターン値格納部15aを初期同期パターン値に設定するように、スイッチ15a3を格納手段15a1側に切り替えるとともに、コンパレータ15c、パケット周期カウンタ15f、後方同期保護回路15m、前方同期保護回路15r及びRS-FF回路15oにリセットをかける。

【0021】次に、上記同期再生部15は、図4のフローチャートに示すように同期検出の動作を行なう。まず、電源が投入されると（ステップS11）、同期パターン値格納部15aは、初期同期パターン値に設定される（ステップS12）。そして、T-FF回路15jは、次のパケットの同期タイミングで、同期パターン値格納部15aから読み出された同期パターン値を反転値に切り替える（ステップS13）。

【0022】次に、ステップS14において、同期不定状態（NG）で、コンパレータ15cは、入力データと同期パターン値格納部15aから読み出された同期パターン値との比較を行ない（ステップS15）、一致した場合（YES）に、パケット周期カウンタ15fを初期化し、カウント動作を開始させる（ステップS16）。そして、パケット周期カウンタ15fをパケット長に相当する時間までビット数をカウントさせ（ステップS17）、AND回路15gにてコンパレータ15cの出力とパケット周期カウンタ15fから出力され

るパルス信号とを比較する（ステップS18）。ここで、一致しない場合（NO）には、上記ステップS15の処理に戻され、一致した場合（YES）には、この一致情報が後方同期保護回路15mに入力され（ステップS19）、一致回数がカウントされる（ステップS20）。ここで、一致回数が4回に達した場合（N=4）、同期確定であることを判定され（ステップS21）、以後ステップS14の処理に戻される。

【0023】また、ステップS14において、同期確定状態（OK）で、コンパレータ15cは、入力データと同期パターン値格納部15aから読み出された同期パターン値との比較を行なう（ステップS22）。なお、ステップS22～S24の処理は、上記ステップS15～S17の処理と同様であるので省略する。

【0024】AND回路15hは、コンパレータ15cの出力を反転回路15iにて反転された信号とパケット周期カウンタ15fから発生されたパルス信号とを比較し（ステップS25）、一致した場合（NO）、不一致情報を前方同期保護回路15rに入力する（ステップS26）。そして、不一致の回数がカウントされ（ステップS27）、4回に達した場合（M=4）に、同期はずれであると判定され（ステップS28）、以後ステップS14の処理に戻される。

【0025】したがって、上記実施の形態によれば、送信側にて複数のパケットを配列したシリアルデータのパケット先頭に特定の同期パターン値を、パケット毎に反転させて付加するようにしておくようにしている。そして、同期再生部15のコンパレータ15cにてシリアルデータと、予め同期パターン値格納部15aにて格納された同期パターン値とが比較され、一致した場合にこの一致タイミングでパケット周期カウンタ15fのカウント動作を開始させてパケット長に相当するビット数までをカウントさせ、このカウント結果とコンパレータ15cからの一致信号との比較がなされ、一致した場合に、この一致情報を同期信号として出力するとともに、T-FF回路15jにて同期パターン値格納部15aから読み出された同期パターン値を反転値に切り替え、不一致の場合に同期パターン値の読み出し状態を維持するようにしている。

【0026】このため、シリアルデータに付加された同期パターン値とその反転値とがパケット長に相当するタイミングで検出されるので、後方同期保護回路15m及び前方同期保護回路15rにおける同期の検出確率が向上する。

【0027】また、後方同期保護回路15mにおいて、同期判定手段であるAND回路15gから出力される一致情報に基づいて、パケット周期カウンタ15fから出力されるパルス信号とコンパレータ15cより出力される一致信号との一致回数がカウントされ、このカウント結果が所定回数である4回に達した場合に同期再生処

理を行なうようにし、前方同期保護回路15rにおいて、同期判定手段であるAND回路15hから出力される不一致情報に基づいて、パケット周期カウンタ15fから出力されるパルス信号とコンパレータ15cの出力を反転回路15iにて反転された不一致信号との一致回数がカウントされ、これらのカウント結果が所定回数である4回に達した場合に同期再生処理を行なうようにしているため、偽同期を起す確率が低減される。

【0028】なお、この発明は上記実施の形態に必ずしも限定されるものではなく、その他その要旨を逸脱しない範囲で種々変形して実施できることはもちろんのことである。

【0029】

【発明の効果】以上詳述したようにこの発明によれば、複数のパケットにそれぞれ同期信号を付加して配列したシリアルデータに対し、偽同期を起す確率を低減し、同期再生における信頼性を向上し得る同期再生システムを提供することができる。

【図面の簡単な説明】

【図1】この発明に係る同期再生システムの同期再生装置の一実施の形態が適用されるDVCシステムの受信部*

*を示すブロック構成図。

【図2】DVCシステムの送信部により伝送されるシリアルデータの一例を示す図。

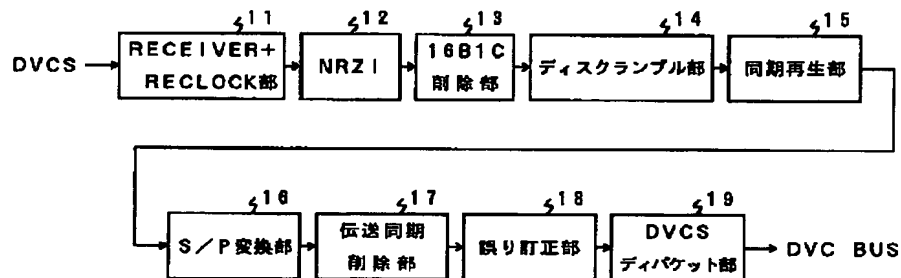
【図3】この発明に係る同期再生システムの同期再生装置の一実施の形態を示すブロック構成図。

【図4】同実施の形態における同期検出の動作を説明するために示すフローチャート。

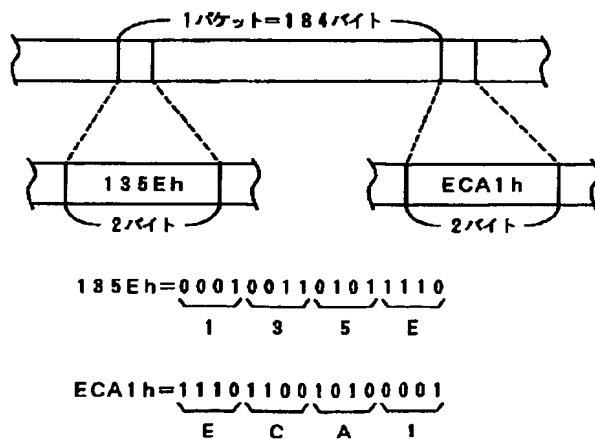
【符号の説明】

- 15…同期再生部、
- 15a…同期パターン値格納部、
- 15a1, 15a2…格納部、
- 15a3…スイッチ、
- 15b…16bitシフトレジスタ、
- 15c, 15n, 15s…コンパレータ、
- 15f…パケット周期カウンタ、
- 15e, 15g, 15h, 15l, 15p…AND回路、
- 15j…T-FF回路、
- 15m…後方同期保護回路、
- 15q…D-FF回路、
- 15r…前方同期保護回路。

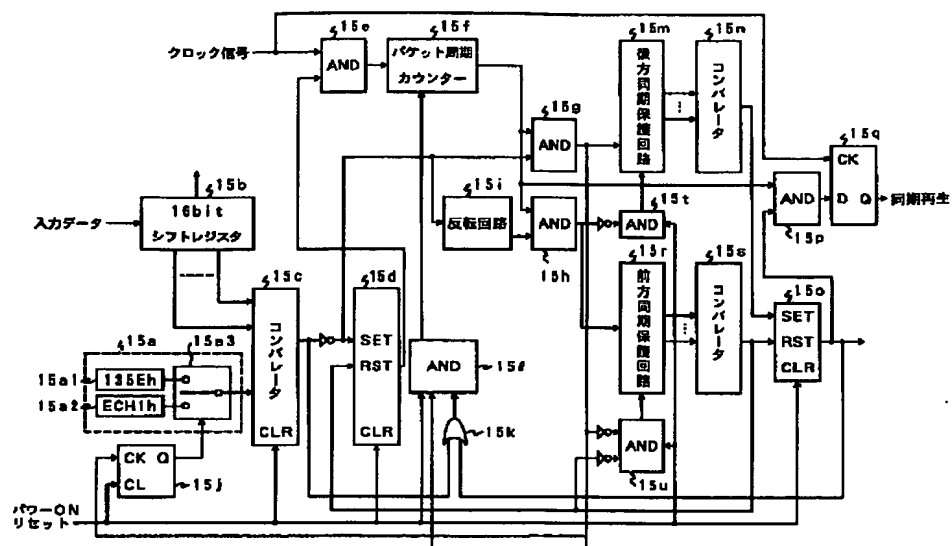
【図1】



【図2】



【図 3】



【図4】

